

## MICROCOMPUTER

Patent Number: JP60048525  
Publication date: 1985-03-16  
Inventor(s): IWASE NOBUKAZU  
Applicant(s): NIPPON DENKI KK  
Requested Patent: JP60048525  
Application Number: JP19830156076 19830826  
Priority Number(s):  
IPC Classification: G06F1/04 ; G06F1/00 ; G06F15/06  
EC Classification:  
Equivalents:

### Abstract

PURPOSE: To suppress a leak current, and to realize a low power consumption by forming a circuit part, etc. which require holding of a data and its controlling circuit part, by an MOSFET whose channel length is long.  
CONSTITUTION: The drain is connected to a power source terminal 6 connected to power source part, an MOSFET 11 which is turned on and off by a control signal 19 inputted to the gate and has a long channel length relatively is provided, and a CPU1 constituted of a MOSFET having a short channel length relatively and a ROM2 are connected to the source of this MOSFET. Also, an RAM 3 constituted of an MOSFET having a long channel length, an oscillating circuit part 4, and a stand-by control flip-flop 5 are connected directly to the power source terminal 6. In this way, a low stand-by power source current is attained.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-48525

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)3月16日

G 06 F 1/04  
1/00  
15/06

1 0 2

7056-5B  
E-6913-5B  
7343-5B

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 マイクロコンピュータ

⑮ 特 願 昭58-156076

⑯ 出 願 昭58(1983)8月26日

⑰ 発 明 者 岩 瀬 信 和 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

(1) 電源部にドレインが接続しゲートに入力される制御信号によりオンオフする相対的にチャンネル長の長いMOSFETと、該MOSFETのソースに接続し相対的にチャンネル長の短いMOSFETで構成される回路部と、相対的にチャンネル長の長いMOSFETで構成される前記電源部に直接に接続する回路部とを含むことを特徴とするマイクロコンピュータ。

(2) 相対的にチャンネル長が短いMOSFETで構成される回路部がCPU及びROMであり、相対的にチャンネル長が長いMOSFETで構成される回路部がRAM、発振回路部及びスタンバイ制御フリップフロップである特許請求の範囲第(1)項記載のマイクロコンピュータ。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明はマイクロコンピュータに関し、特にCMOS型で1チップに構成され、スタンバイ機能を有するマイクロコンピュータに関する。

(従来技術)

従来、マイクロコンピュータの信頼性を上げるために、スタンバイ機能を有するマイクロコンピュータが使用されている。

第1図は従来のスタンバイ機能を有するマイクロコンピュータの一例の要部のブロック図である。

このマイクロコンピュータはCMOS装置で1チップに作られるものである。第1図において、1はCPU、2はROM、3はRAM、4は発振回路部、5はスタンバイ制御フリップフロップである。スタンバイ状態への移行要求が発生すると、CPU1は、スタンバイ制御フリップフロップ5をスタンバイ制御フリップフロップセット信号8でセットし、発振回路部4をスタンバイ制御部5の出力発振停止信号9で停止させて、チップ内部

はスタンバイ状態に入り、RAM 3 のデータのみを保持する。逆に、動作状態への移行は、外部制御端子 7 によってスタンバイ制御フリップフロップ 5 をリセットし、発振回路部 4 を動作状態へ移行し、全体が動作状態に入る。

しかし、果実度を上げる為に素子の縮小(チャンネル長を短くする)を行なうと、トランジスタの電流オフ特性が悪くなり、チャンネルでのリーク電流が増加し、スタンバイ状態時の低消費電力化が困難になる欠点があった。

〔発明の目的〕

本発明の目的は、上記欠点を除去し、スタンバイ状態でもリーク電流を抑え、低消費電力化を計ることのできるCMOS 型のマイクロコンピュータを提供することにある。

〔発明の構成〕

本発明のマイクロコンピュータは、電源部にドレインが接続しゲートに入力される制御信号によりオンオフする相対的にチャンネル長の長いMOSFET と、該MOSFET のソースに接続し相対的にチャンネル長の短いMOSFET で構成される回路部と、相対的にチャンネル長の長いMOSFET で構成される回路部と、相対的にチャンネル長の短いMOSFET で構成される回路部とを含有して構成される。

部の電源端子 6 に直接に接続するRAM 3、発振回路部 4 及びスタンバイ制御フリップフロップ 5 とを含有して構成される。即ち、データを保持する必要がある回路部及び制御部はチャンネル長の長いMOSFET で構成し、データの保持の必要のない回路部はチャンネル長の短いMOSFET で構成する。

次に、この実施例の動作について説明する。

スタンバイ状態の要求がCPU 1 で発生した場合、スタンバイ制御フリップフロップ 5 はスタンバイ制御フリップフロップセット信号 8 でセットされ、MOSFET 11 をMOSFET 制御信号 19 でオフさせ、同時に発振回路部 4 を制御して発振を停止させてスタンバイ状態へ移行し、RAM 3 のデータとスタンバイ制御フリップフロップ 5 の出力のみを保持する。

従って、RAM 3、発振回路部 4、スタンバイ制御フリップフロップ 5 とMOSFET 11 をチャンネル長の長いMOSトランジスタで構成することによって低スタンバイ電源電流が達成される。

的にチャンネル長の短いMOSFET で構成される回路部と、相対的にチャンネル長の長いMOSFET で構成され前記電源部に直接に接続する回路部とを含有して構成される。

上記の相対的にチャンネル長の短いMOSFET で構成される回路部はCPU 及びROM であり、相対的にチャンネル長の長いMOSFET で構成される回路部はRAM、発振回路部及びスタンバイ制御フリップフロップである。

〔実施例の説明〕

次に、本発明の実施例について図面を用いて説明する。

第2図は本発明の一実施例のブロック図である。

この実施例は、電源部に接続する電源端子 6 にドレインが接続し、ゲートに入力される制御信号によりオンオフする相対的にチャンネル長の長いMOSFET 11 と、このMOSFET 11 のソースに接続し相対的にチャンネル長の短いMOSFET で構成されるCPU 1 及びROM 2 と、相対的にチャンネル長の長いMOSFET で構成され、電源

動作状態への移行は、外部からの制御信号 7 によってスタンバイ制御フリップフロップ 5 をリセットし、MOSFET 11 をオンにし、かつ発振回路部 4 を発振状態にして、内部クロック 10 を各回路に供給して行なわれる。

〔発明の効果〕

本発明は、以上説明したように、MOSFET 11 とデータ保持の必要ない回路部ととの制御回路部をチャンネル長の長いMOSトランジスタで構成し、スタンバイ時、リーク電流を抑え、低消費電力化ができかつデータ保持の必要のない回路部分でチャンネル長の短い素子が使用出来る事により果実度を高められる効果がある。

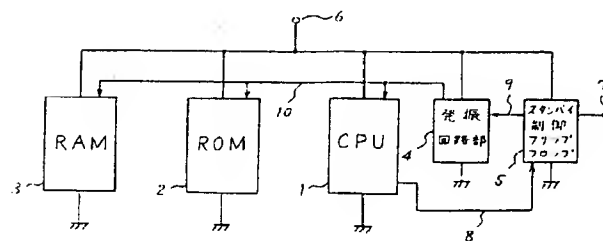
#### 4. 図面の簡単な説明

第1図は従来のスタンバイ機能を有するマイクロコンピュータの一例の要部のブロック図、第2図は本発明の一実施例のブロック図である。

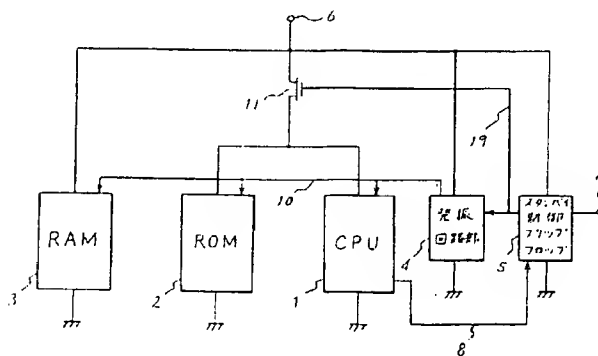
1……CPU部、2……ROM部、3……RAM部、4……発振回路部、5……スタンバイ制御

フリップフロップ、6……電源端子、7……外部  
制御信号、8……スタンバイ制御フリップフロ  
ブセット信号、9……発振停止信号、10……内  
部クロック信号、11……MOSFET、19……  
MOSFET制御信号。

代理人 井理士 内 原 晋



第1図



第2図